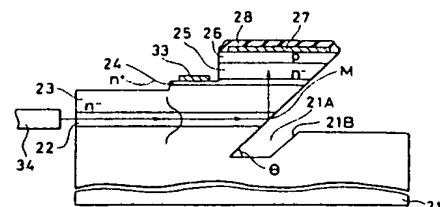


(54) OPTICAL SEMICONDUCTOR DEVICE

(11) 3-290606 (A) (43) 20.12.1991 (19) JP
 (21) Appl. No. 2-92048 (22) 9.4.1990
 (71) FUJITSU LTD (72) NAMI YASUOKA(1)
 (51) Int. Cl⁵. G02B6/42, G02B6/12, H01L31/10

PURPOSE: To input sufficient signal light without long coupling length between a waveguide and a photodetector by providing a semiconductor light reception part above a specular surface formed in the optical waveguide, and reflecting the incident light by the specular surface to receive it.

CONSTITUTION: A waveguide core layer 22 and a clad layer 23 are formed on a semiconductor substrate 21, and an n⁺-type InGaAs electrode contact layer 24, an n⁻-type InGaAs light absorption layer 25, and a p-type InP electrode contact layer 26 are laminated on the clad layer. The end on the side opposite to the light incidence side of the core layer 22 is eliminated to form a specular surface M, and the light made incident on the waveguide is reflected by the specular surface M and is made incident on a semiconductor photodetector layer. Therefore, a sufficient optical signal is inputted to the photodetector without long coupling length between the waveguide and the photodetector, and a high quantum efficiency is obtained by reflection of the specular surface M. Production is easy because special technique is unnecessary.

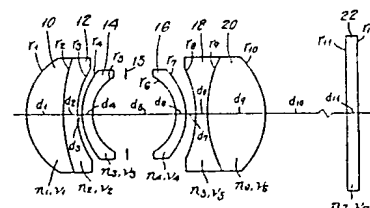
**(54) READ LENS FOR SCANNER**

(11) 3-290607 (A) (43) 20.12.1991 (19) JP
 (21) Appl. No. 2-93674 (22) 9.4.1990
 (71) RICOH CO LTD (72) YUUCHIROU KANOSHIMA(2)
 (51) Int. Cl⁵. G02B13/18, G02B13/24

PURPOSE: To obtain a lens which is bright to have $F_{No}=3$ and has a wide field angle, namely, 20° half field angle and is superior in resolving power by constituting a lens system of seven lenses of five groups and satisfying specific conditions.

CONSTITUTION: The lens system consists of the first group consisting of a first positive lens 10 and a second negative lens 12 joined to the lens 10, the second group consisting of a third meniscus lens 14 whose convex is directed to the object side, the third group consisting of a fourth meniscus lens 16 which is convex to the image side, the fourth group consisting of a fifth negative lens 18 and a sixth positive lens 20 joined to the lens 18, and the fifth group consisting of a seventh lens made of plane glass which are arranged in order from the object side. Fifth, sixth, and seventh lens faces from the object side are formed to aspherical surfaces, and conditions of formulas I to III are satisfied where K_5 , K_6 , and K_7 are conical constants of these aspherical surfaces respectively.

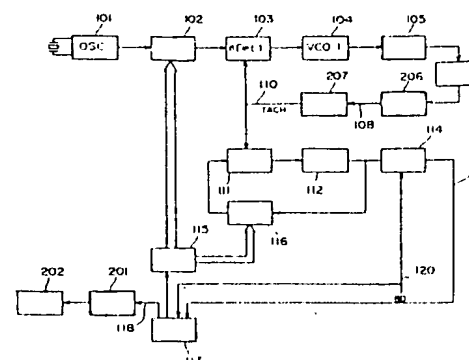
$$\begin{aligned} 0.0 < K_5 < 0.02 & \text{ I} \\ -0.005 < K_6 < 0.005 & \text{ II} \\ -0.01 < K_7 < 0.0 & \text{ III} \end{aligned}$$

**(54) IMAGE FORMING DEVICE**

(11) 3-290608 (A) (43) 20.12.1991 (19) JP
 (21) Appl. No. 2-93662 (22) 9.4.1990
 (71) CANON INC (72) AKIHIRO SHIBATA(2)
 (51) Int. Cl⁵. G02B26/10, B41J2/44, G03G15/04

PURPOSE: To comply with the switching of resolution without using plural quartz resonators by using a clock signal which utilizes the rotating speed of a polygon motor and generating an image clock signal.

CONSTITUTION: In the case that two kinds of resolution are 300dpi and 400dpi, a CPU 115 allows a 1st frequency divider 102 to 1/3 and 1/4 frequency-divide the oscillation frequency of the quartz resonator 101 to rotate the polygon motor 106 with the obtained signal. The revolving speed of the motor is detected by a revolving speed detector 206 and a pulse signal from the detector 206 is outputted as a TACH signal through a waveform shaping circuit 207 so as to control a 2nd voltage control oscillator 112 through a 2nd phase comparator 111. Then, a 2nd frequency divider 116 1/9 and 1/16 frequency-divides the frequency of the TACH signal in accordance with the resolution, and an output from the 2nd oscillator 112 is fed back to the 2nd comparator 111 through the 2nd divider 116 so that the stable image clock signal 121 may be obtained.



THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平3-290606

⑤ Int. Cl.⁵G 02 B 6/42
6/12
H 01 L 31/10

識別記号

庁内整理番号

A

7132-2K
7036-2K

④ 公開 平成3年(1991)12月20日

7522-4M H 01 L 31/10

A

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 光半導体装置

⑯ 特 願 平2-92048

⑰ 出 願 平2(1990)4月9日

⑱ 発 明 者 安 岡 奈 美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 牧 内 正 男 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 柏谷 昭司 外1名

明 細 書

1 発明の名称

光半導体装置

2 特許請求の範囲

- (1) 半導体基板上に積層されて導波路を構成する導波路コア層及び光閉じ込め層と、

該光閉じ込め層上に積層された半導体受光素子層と、

前記導波路に入射される光を前記半導体受光素子層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面と

を備えてなることを特徴とする光半導体装置。

- (2) 半導体基板上に積層されて導波路を構成する導波路コア層及びクラッド層と、

該導波路に入射される光を該クラッド層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面

と、

該クラッド層上の該鏡面で反射された光を受光し得る位置に固着された半導体受光素子とを備えてなることを特徴とする光半導体装置。

3 発明の詳細な説明

〔概要〕

例えばコヒーレント光通信システムを構成するのに用いて好適な光半導体装置に関し、

光半導体装置に於ける導波路と受光素子との結合長を長く採らなくても、導波路から受光素子へ十分な光信号を入力することが可能であって、しかも、容易に製造することができるようにすることを目的とし、

半導体基板上に積層されて導波路を構成する導波路コア層及び光閉じ込め層と、該光閉じ込め層上に積層されている半導体受光素子層と、前記導波路に入射される光を前記半導体受光素子層からなる各半導体層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構

成された鏡面とを備えてなるか、或いは、半導体基板上に積層されて導波路を構成する導波路コア層及びクラッド層と、該導波路に入射される光を該クラッド層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面と、該クラッド層上の該鏡面で反射された光を受光し得る位置に固着された半導体受光素子とを備えてなるよう構成する。

(産業上の利用分野)

本発明は、例えばコヒーレント光通信システムを構成するのに用いて好適な光半導体装置に関する。

現在、通信技術の分野では高速化が目標になっていて、光の周波数変調や位相変調を利用するコヒーレント光通信は有力な手段の一つと考えられている。

そのコヒーレント光通信では、量子効率が高く、応答が高速で、光入出力が大きい半導体受光素子が必要であって、特に、ヘテロダイン検波方式を

採ってS/Nを向上させようとする場合には、二個のpinフォト・ダイオードで構成したバランス型受信器を用いるので、これ等のpinフォト・ダイオード、即ち、半導体受光素子としては前記諸条件の他に光学的及び電気的な特性が均一であることが必要になり、この要求を満足させるには、半導体受光素子をモノリシックに集積化することが有効であるのは勿論のこと、受光素子に光信号を入力するための光導波路、例えば半導体方向性結合器なども一体的に集積化することが好ましい。

(従来の技術)

現在、半導体受光素子に光信号を入力させるには、光ファイバと半導体受光素子とを結合して行う技術が多用されているが、この技術に依った場合、光ファイバと半導体受光素子との結合部分で光が同位相になっている必要があることから、それ等を2〜3(μm)オーダで位置合わせしなければならず、大変に高度な技術を要求される。

そこで、この問題を解消する為、半導体受光素

子と半導体方向性結合器を用いる技術が提案されている。

第24図はエバネッセント結合を用いたディテクタ(evanescence detector)を説明する為の要部切断側面図を表している。

図に於いて、1はn型半導体基板、2は半導体導波路層、3はi型光吸収層、4はp型半導体層、5はp側電極、6はn側電極、7は光ファイバをそれぞれ示している。

このディテクタでは、n型半導体基板1とi型光吸収層3とp型半導体層4とでpinフォト・ダイオードが構成されていて、光ファイバ7からの光信号が導波路層2に入力され、そこを伝播してゆく間にi型光吸収層3に漏れた光信号を検出するようにしている。

第25図はバット・カップルド・ディテクタ(butt coupled detector)を説明する為の要部切断側面図を表し、第24図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

このディテクタも、n型半導体基板1とi型光吸収層3とp型半導体層4とでpinフォト・ダイオードを構成してあり、光ファイバ7からの光信号は導波路層2に入力され、そこを伝播してi型光吸収層3に直接入るようになっている。

(発明が解決しようとする課題)

第24図に見られるエバネッセント結合を用いたディテクタでは、導波路層2とi型光吸収層3との光結合が弱いことから、光信号を充分に採り入れるには結合長を長くする必要がある。然しながら、そのようにしたのでは、高量子効率で、且つ、低寄生容量の光半導体装置を実現することは困難である。

第25図に見られるバット・カップルド・ディテクタでは、導波路層2とi型光吸収層3との光結合は充分であって、高量子効率で、且つ、低寄生容量の光半導体装置が得られるのであるが、図からも明らかなように、構造が複雑であることから製造が極めて困難である。

本発明は、光半導体装置に於ける導波路と受光

素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することが可能であって、しかも、容易に製造することができるようにしようとする。

(課題を解決するための手段)

第1図は本発明の原理を説明する為の光半導体装置の要部切断側面図を表している。

図に於いて、11は半導体基板、12は半導体導波路、13はi型光吸収層、14はn側電極、15はp側電極、16は鏡面、17は光ファイバをそれぞれ示している。

この光半導体装置では、導波路12上にpinフォト・ダイオードが構成されていて、光ファイバ17から導波路12に入射された光は、矢印で示してあるように、導波路12中を伝播して鏡面16に達し、そこで反射されてi型光吸収層13に入射するようになっている。尚、導波路とpinフォト・ダイオードとを別体に作成した後、所定の光学的関係を維持して、それ等を一体的に結合するようにしても良い。

p型InP電極コンタクト層25)と、前記導波路に入射される光を前記半導体受光素子の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面(例えば鏡面M)とを備えてなるか、或いは、半導体基板上に積層されて導波路を構成する導波路コア層及びクラッド層(例えばクラッド層23)と、該導波路に入射される光を該クラッド層の方向に反射させる為に前記導波路コア層に対し傾斜した面をなすように前記導波路の光が入射される側と反対側の端を除去して構成された鏡面と、該クラッド層上の該鏡面で反射された光を受光し得る位置に固着された半導体受光素子とを備えてなるよう構成する。

(作用)

前記手段を採ることに依り、光半導体装置に於ける導波路と受光素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することができ、そして、鏡面に依る光の反射で

第2図は第1図に見られる光半導体装置に於ける入射光ビーム幅と反射光ビーム幅との関係を明らかにする為の説明図を表し、第1図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、dは入射光ビーム幅、tは反射光ビーム幅、 θ は鏡面16の傾斜角度をそれぞれ示している。

図から明らかなように、 $t = d \cdot \tan \theta$ 、であり、 $\theta = 45^\circ$ のときに $t = d$ であって、理論的には、受光素子に於ける光吸収層長(結合長に相当)を入射光ビーム幅dと同程度まで小さくすることができる。

このようなことから、本発明の光半導体装置では、半導体基板(例えば基板21)上に積層されて導波路を構成する導波路コア層(例えば導波路コア層22)並びに光閉じ込め層(例えばクラッド層23)と、該光閉じ込め層上に積層された半導体受光素子層(例えばn⁺型InGaAs電極コンタクト層、n⁺型InGaAs光吸収層24、

高い量子効率を得ることが可能である。また、その製造に際しては、特殊な技術は不要であるから容易に実現することが可能であって、素子間分離や素子の相対的位置確定も簡単に行うことができる。

(実施例)

第3図は本発明一実施例の要部切断側面図を表している。

図に於いて、21は半絶縁性InP基板、21Aは鏡面を形成する際に用いた溝、21Bは傾斜した側壁、22は半導体薄膜積層体からなる導波路コア層、23はn⁺型InPクラッド層、24はn⁺型InGaAs電極コンタクト層、25はn⁺型InGaAs光吸収層、26はp型InP電極コンタクト層、27はp側電極、28は例えばSi₃N₄からなる絶縁膜、33はn側電極、34は光ファイバ、Mは鏡面、 θ は導波路コア層22に対して鏡面Mがなす角度をそれぞれ示している。尚、本実施例では、n⁺型InGaAs電極コンタクト層24及びn⁺型InGaAs光吸

収層25及びp型InP電極コンタクト層26でpinフォート・ダイオードを構成し、また、基板21及び導波路コア層22及びクラッド層23をもって導波路が構成されている。

本実施例に於いて、光ファイバ34からの光信号は導波路コア層22に入射されて伝播し、鏡面Mで反射されてpinフォート・ダイオードに入射するようになっている。

本実施例は、従来から多用されている技術を用い、特性良好なものを容易に製造することができる。

第4図乃至第22図は本発明一実施例を製造する場合について説明する為の図であり、第4図乃至第6図、第8図、第10図、第12図、第14図、第16図、第18図、第20図は要部切断側面図、第7図、第9図、第11図、第13図、第15図、第17図、第19図、第21図、第22図は要部平面図をそれぞれ表し、以下、これ等の図を参照しつつ解説する。

② クラッド層23について

厚さ：6(μm)

不純物濃度： $1 \times 10^{14} \text{ (cm}^{-3}\text{)}$

(アン・ドープ)

③ 電極コンタクト層24について

厚さ：0.5(μm)

不純物濃度： $1 \times 10^{18} \text{ (cm}^{-3}\text{)}$

④ 光吸収層25について

厚さ：2(μm)

⑤ 電極コンタクト層26について

厚さ：1(μm)

第5図参照

5-(1)

Zn₂P₂を用いた熱拡散法を適用することに依り、Znをドーピングすることで、成長時点に於いてはn⁺型であったInP電極コンタクト層26をp型化する。尚、このp型化は選択的に行っても良い。

この熱拡散に於ける諸条件を例示すると次の通りである。

第4図参照

4-(1)

有機金属気相堆積(metalorganic vapor phase epitaxy: MOVPE)法を適用することに依り、半絶縁性InP基板21上に

半導体薄膜積層体からなる導波路コア層22、n⁺型InPクラッド層23、

n⁺型InGaAs電極コンタクト層24、

n⁺型InGaAs光吸収層25、

当初はn⁺型になっているInP電極コンタクト層26をそれぞれ成長させる。

この場合に於ける各半導体層に関する主要なデータを例示すると次の通りである。

① 導波路コア層22について

材料：InP/InGaAsP

厚さ：1347(Å)/44(Å)

積層数：InP/InGaAsP×25

λ_c ：1.13(μm)

不純物濃度： $1 \times 10^{18} \text{ (cm}^{-3}\text{)}$

熱処理温度：500(℃)

熱処理時間：20(分)

第6図及び第7図参照

6-(1)

フォトリソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、pinフォート・ダイオードに於けるp側電極27を形成する。

このp側電極27に関する主要なデータを例示すると次の通りである。

材料：Au/Zn/Au

厚さ：500(Å)/100(Å)/2500(Å)

第8図及び第9図参照

8-(1)

化学気相堆積(chemical vapour deposition: CVD)法を適用することに依り、Si₃N₄からなる厚さ例えば1500(Å)程度の絶縁膜28を形成する。

8-(2)

フォトリソグラフィ技術に於けるレジスト・プロセス及びエッチング・ガスをCF₄とする反応性イオン・エッチング(reactive ion etching:RIE)法を適用することに依り、絶縁膜28のパターニングを行って、p側電極27を覆い、且つ、pinフォトリソダイオード部分のエッチングを行うマスクとなるパターンを残して他を除去する。

8-(3)

CVD法を適用することに依り、Si₃N₄からなる厚さ例えば1000(Å)程度の絶縁膜29を形成する。

8-(4)

フォトリソグラフィ技術に於けるレジスト・プロセス及びエッチング液をHF:NH₄F=1:50とするウェット・エッチング法を適用することに依り、絶縁膜29のパターニングを行って、pinフォトリソダイオード部分を覆い、且つ、導波路部分のエッチングを行うマス

クとなるパターンを残して他を除去する。

第10図及び第11図参照

10-(1)

フォトリソグラフィ技術に於けるレジスト・プロセスを適用することに依り、鏡面を形成するのに必要な溝を形成する為の開口をもつフォトリソレジスト膜30を形成する。

第12図及び第13図参照

12-(1)

エッチング・ガスをCCl₂F₂とするARIE(active reactive ion etching)法を適用することに依り、導波路コア層22に対する傾斜角θが45°である鏡面Mを得るためのエッチングを行って溝21Aを形成する。

第14図及び第15図参照

14-(1)

フォトリソレジスト膜30を除去してから、鏡面Mを保護する為、溝21A内にポリイミド樹脂31を充填する。

このポリイミド樹脂31を充填するには、スピン・コート法を適用してポリイミド樹脂を平坦に塗布し、その後、余分なポリイミド樹脂は酸素プラズマを利用してエッチングする。

第16図及び第17図参照

16-(1)

エッチング・ガスをSiCl₄(Clラジカル)とするRIE法を適用することに依り、絶縁膜29をマスクとして表面から基板21に達するエッチングを行う。

このエッチングに依っては、ポリイミド樹脂31は除去されないで、そのまま残留することになり、従って、pinフォトリソダイオードの下になっている部分を除いては殆どが表出され、第17図には、鏡面Mを保護している側の面で表出されている部分を記号31Aで指示してある。

第18図及び第19図参照

18-(1)

エッチング液をHF:NH₄F=1:50と

する浸漬法を適用することに依り、導波路部分のエッチングを行う為のマスクとして用いた絶縁膜29を除去する。

18-(2)

フォトリソグラフィ技術に於けるレジスト・プロセスを適用することに依り、pinフォトリソダイオード部分のパターニングをする為のフォトリソレジスト膜32を形成する。

18-(3)

エッチング液を

HCl:H₂PO₄(InP用)

H₂SO₄:H₂O₂:H₂O(InGaAs用)

とするウェット・エッチング法を適用することに依り、フォトリソレジスト膜32をマスクとして導波路部分の表面に残っている電極コンタクト層26からクラッド層23に達するエッチングを行う。

第20図及び第21図参照

20-(1)

フォトリソレジスト膜32を除去してから、エ

エッチング液を

HCl : H₂PO₄ (InP用)

H₂SO₄ : H₂O₂ : H₂O (InGaAs用)

とするウェット・エッチング法を適用することにより、pinフォート・ダイオード部分を覆っている絶縁膜28をマスクとして電極コンタクト層26から電極コンタクト層24に達するエッチングを行う。

この場合、鏡面Mはポリイミド樹脂31で保護されているので、このエッチングに依って、損傷を受ける虞はないが、他の部分で著しく不都合を生じるようなところには保護膜を形成すれば良い。

20-(2)

フォトリソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することにより、pinフォート・ダイオードに於けるn側電極33を形成する。

このn側電極33に関する主要なデータを例示すると次の通りである。

反射膜を形成したり、或いは、 θ を 45° よりも大きくする、例えば、 55° にするなどは任意である。このように θ を大きくすると、鏡面Mで反射された光ビームは拡がってしまうが、鏡面Mを作成する際のエッチングにウェット・エッチング法を適用することができるようになり、その場合はエッチング時間が短くなって作成が容易となる旨の利点がある。また、前記した実施例では、導波路コア層22に半導体薄膜積層体を用いたが、これに限定されることなく、例えば、厚さが約 $1(\mu\text{m}) \sim 5(\mu\text{m})$ 程度のInGaAsP層を用いることもできる。その場合、pinフォート・ダイオード部分は、厚さ例えば $0.3(\mu\text{m})$ であるn⁺型InP電極コンタクト層、厚さ例えば $2(\mu\text{m})$ であるn⁺型InGaAs光吸収層、厚さ例えば $1(\mu\text{m})$ であるp⁺型InP電極コンタクト層で構成すると良い。

第23図は他の実施例を説明する為の要部切断側面図を表し、第3図乃至第22図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味

材料: AuGe/Au

厚さ: $500(\text{\AA}) / 1500(\text{\AA})$

第3図及び第22図参照

22-(1)

酸素プラズマを用いたエッチング法を適用することによって、ポリイミド樹脂31を除去する。

これで、溝21Aの一部が再び露出される。尚、図には溝21Aに於ける傾斜した側面を記号21Bで指示してある。

22-(2)

この後、必要に応じて基板21を研磨し、厚さが例えば $200(\mu\text{m})$ 程度となるように薄くしてから劈開し、光ファイバ34と光学結合させるべき端面に無反射コート膜を形成する。

前記説明した工程を採って製造される実施例の他に、例えば、鏡面M、導波路部分、その他の部分を保護する為、表面がpinダイオード部分と略同一面になるようポリイミド樹脂でコートしたり、或いは、鏡面Mに例えばAuを蒸着させて光

を持つものとする。

図に於いて、35は導電膜、36はボンディング・パッド、37はpinフォート・ダイオード、38はフリップ・チップ・ボンディングの為のバンプ、39は接着剤、40は導電膜をそれぞれ示している。

本実施例では、基板21、導波路コア層22、クラッド層23からなる導波路とpinフォート・ダイオード37を別個に作成し、後に、鏡面Mからの反射光を受光し得るようにpinフォート・ダイオード37を導波路の表面にフリップ・チップ・ボンディングし、接着剤39でモールドし、その上を導電膜40で覆っている。

この場合、接着剤39としては、光透過性に優れた絶縁性のものであることが好ましく、例えば、東洋インキ株式会社の製造に係わる紫外線硬化型接着剤(Light-Weild 300シリーズなど)が好適であり、また、その上を覆う導電膜40はAgペーストなどを塗布して形成することができ、このようにすると雑音を遮断するのに有

効である。

(発明の効果)

本発明に依る光半導体装置に於いては、光が入射される側と反対側の端に鏡面を形成した導波路上に半導体受光部分或いは半導体受光素子进行、該導波路に入射される光を該鏡面で反射させ該受光部分或いは受光素子に入射させるようにしてある。

前記構成を採ることに依り、光半導体装置に於ける導波路と受光素子との結合長を長く採らなくても、導波路から受光素子へ充分な光信号を入力することができ、そして、鏡面に依る光の反射で高い量子効率を得ることが可能である。また、その製造に際しては、特殊な技術は不要であるから容易に実現することが可能であって、素子間分離や素子の相対的位置確定も簡単に行うことができる。

4 図面の簡単な説明

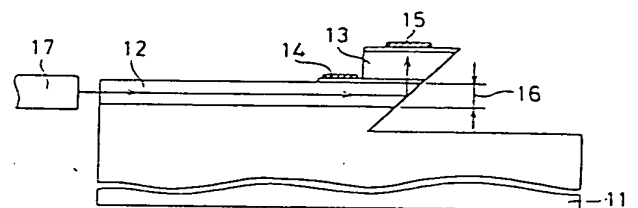
第1図は本発明の原理を説明する為の光半導体装置の要部切断側面図、第2図は第1図に見られ

る光半導体装置に於ける入射光ビーム幅と反射光ビーム幅との関係を明らかにする為の説明図、第3図は本発明一実施例の要部切断側面図、第4図乃至第22図は本発明一実施例を製造する場合について説明する為の図であって、第4図乃至第6図、第8図、第10図、第12図、第14図、第16図、第18図、第20図は要部切断側面図、第7図、第9図、第11図、第13図、第15図、第17図、第19図、第21図、第22図は要部平面図、第23図は他の実施例を説明する為の要部切断側面図、第24図及び第25図は従来例の要部切断側面図をそれぞれ表している。

図に於いて、21は半絶縁性InP基板、21Aは鏡面を形成する際に用いた溝、21Bは傾斜した側壁、22は半導体薄膜積層体からなる導波路コア層、23はn⁺型InPクラッド層、24はn⁺型InGaAs電極コンタクト層、25はn⁺型InGaAs光吸収層、26はp型InP電極コンタクト層、27はp側電極、28は例えばSi₃N₄からなる絶縁膜、33はn側電極、

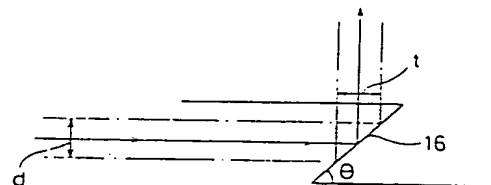
34は光ファイバ、Mは鏡面、 θ は導波路コア層22に対して鏡面Mがなす角度をそれぞれ示している。

特許出願人	富士通株式会社
代理人弁理士	柏谷昭司
代理人弁理士	渡邊弘一



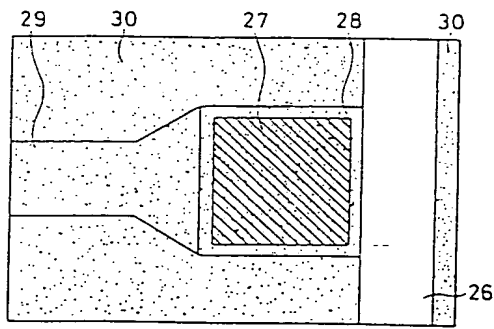
本発明の原理を説明する為の
光半導体装置の要部切断側面図

第1図



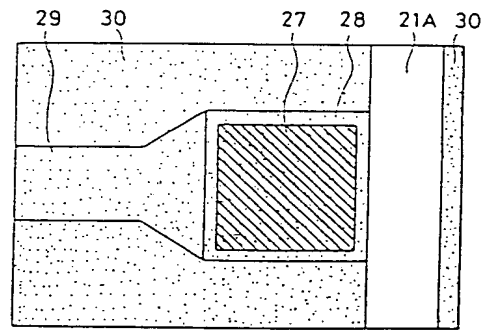
第1図に見られる光半導体装置に於ける入射光ビーム幅と
反射光ビーム幅との関係を明らかにする為の説明図

第2図



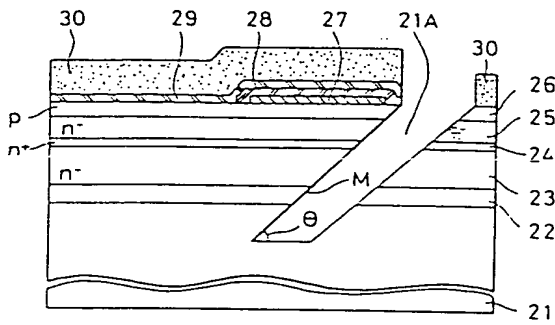
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第11図



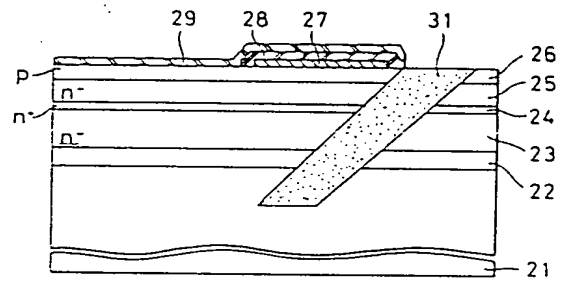
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第13図



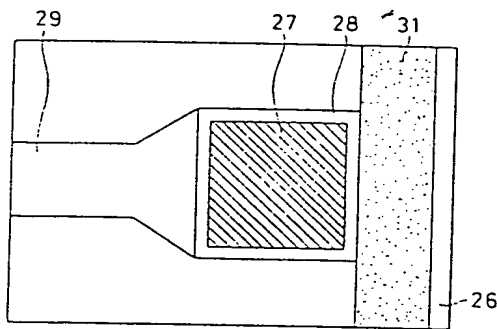
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切斷面図

第12図



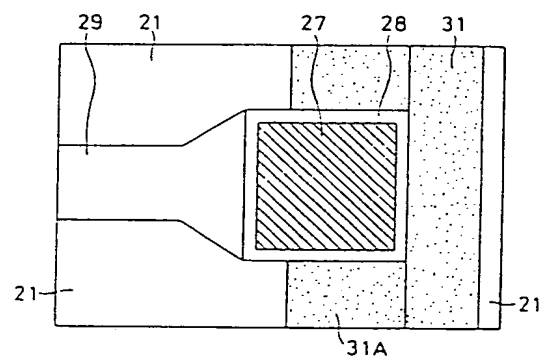
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切斷面図

第14図



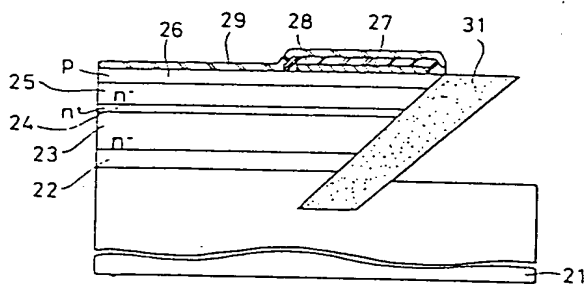
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第15図



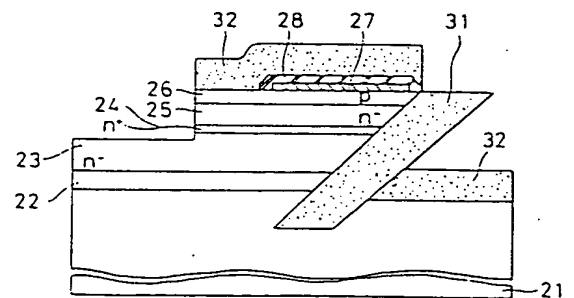
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第17図



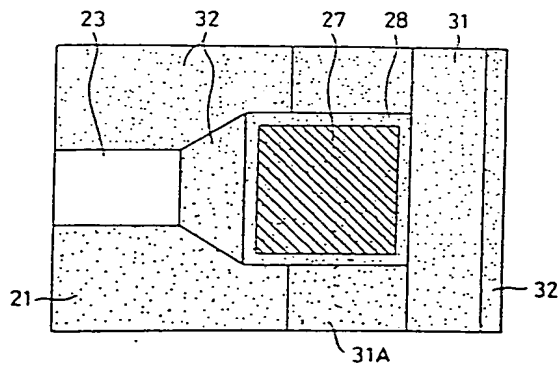
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切斷面図

第16図



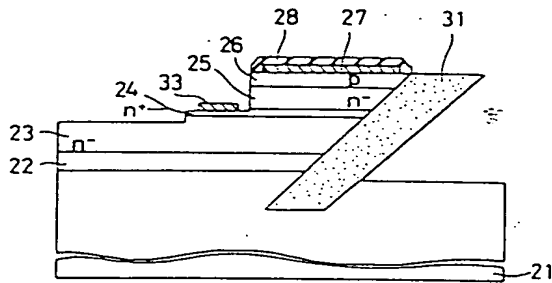
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切斷面図

第18図



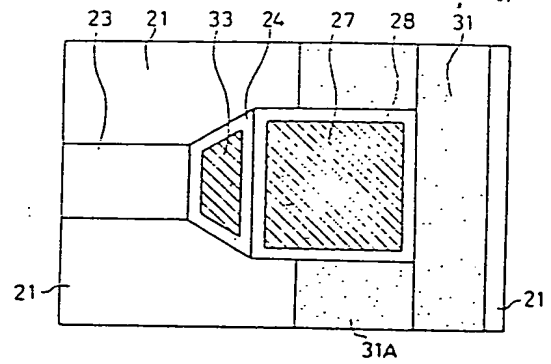
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第19図



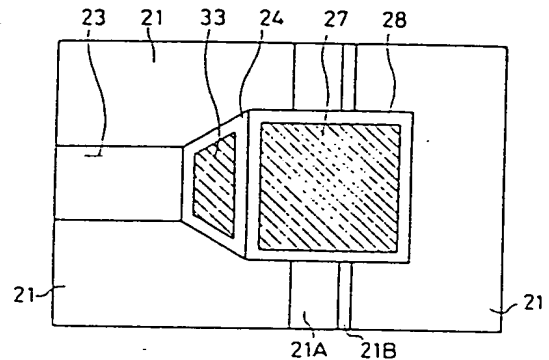
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部切断側面図

第20図



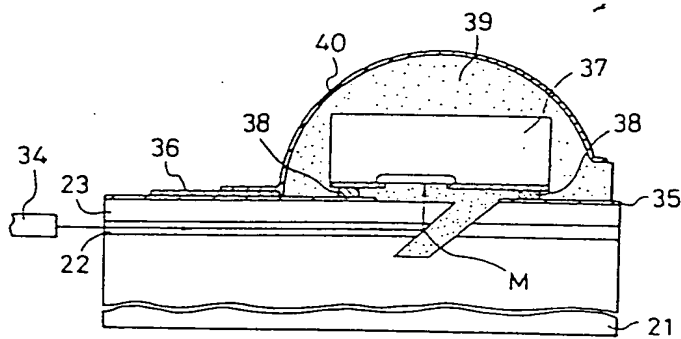
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第21図



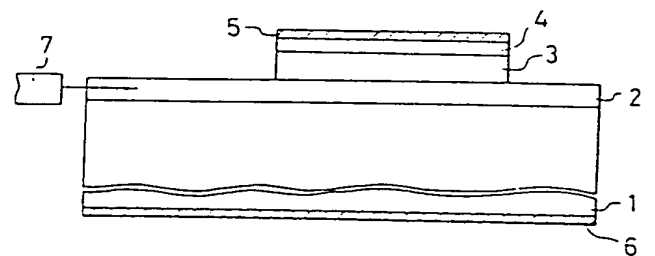
本発明実施例を製造する場合について説明するための工程要所に於ける光半導体装置の要部平面図

第22図



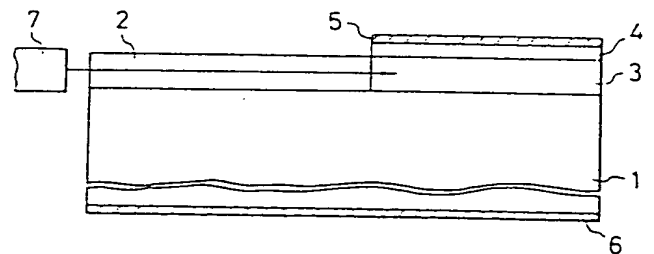
他の実施例を説明する為の要部切断側面図

第23図



従来例の要部切断側面図

第24図



従来例の要部切断側面図

第25図